

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-074323

(43)Date of publication of application : 18.03.1997

(51)Int.Cl. H03G 3/20
H03G 3/30

(21)Application number : 07-226206

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.09.1995

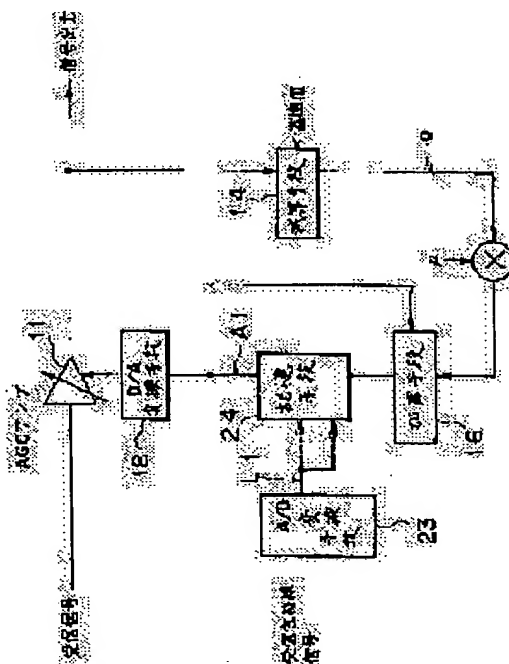
(72)Inventor : FURUKAWA HIDETO
OISHI YASUYUKI
HASE KAZUO
TAJIMA YOSHIHARU
FUKUMASA HIDENOBU

(54) DIGITAL AUTOMATIC GAIN CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital automatic gain control(AGC) circuit which has followup characteristics sufficient for instantaneous reception level fluctuation and can fix a reception level.

SOLUTION: Concerning a circuit with which an error (a) of the output level of an AGC amplifier 11 is found by a means 14, a loop band coefficient μ is multiplied to the error (a), the delayed error is added to this error by a means 16 after multiplication and the added error is transformed to a control voltage for controlling gain by a means 18, this circuit is provided with a means 23 for transforming a received envelope signal level into a digital value L1 and a means 24 connected between the means 16 and the means 19 so as to supply the L1 as a write/read address and to store a control voltage value A1 into the address of the L1 so as to freely write/read it. The value A1 is read by the value L1 and the A1 is supplied through the means 23 to an amplifier 11. At such a time, the output error of the means 16 is controlled to be updated as the stored value A1 read out in advance until the output error of the means 14 becomes '0'.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

出 願 特 平 7-226206 (平 7. 9. 4)

公 開 特 平 9-74323 (平 9. 3.18)

公 告

登 録

名 称 デジタル自動利得制御回路

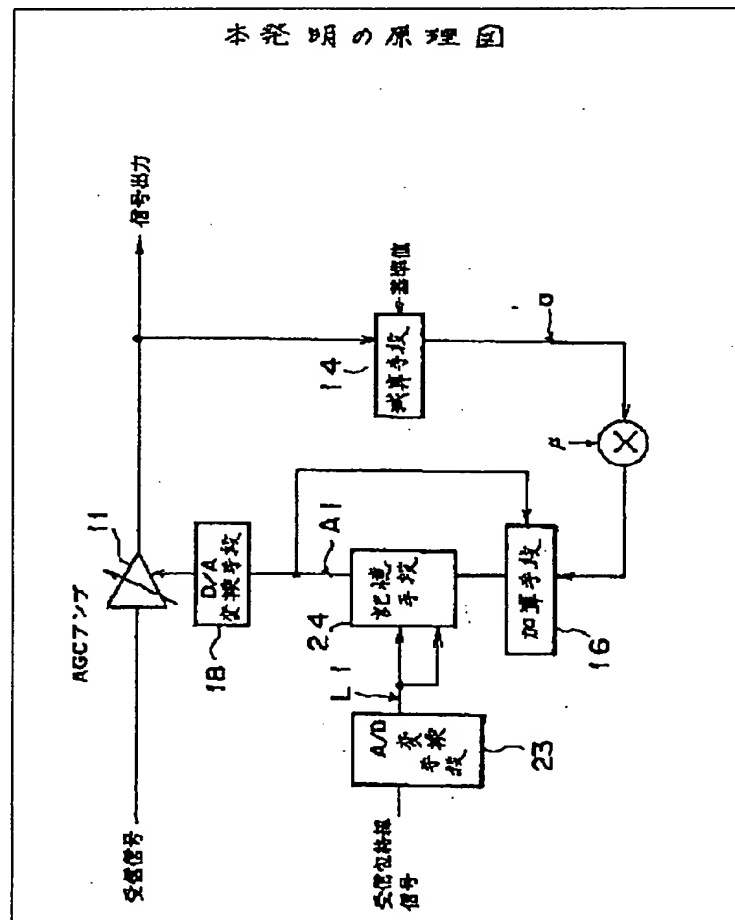
抄 録 【要約】 【課題】 本発明は瞬時受信レベル変動に対して十分な追従特性を有し、受信レベルを一定とすることができるデジタル自動利得制御回路を提供することを目的とする。 【解決手段】 AGCアンプ11の出力レベルと基準値との誤差 a を手段14で求め、誤差 a にループ帯域係数 μ を乗算し、乗算後誤差に同誤差を遅延したものを手段16で加算し、加算後誤差を手段18でゲインを制御する制御電圧に変換する回路にあつて、受信包絡線信号レベルをデジタル値 $L1$ に変換する手段23と、手段16と手段18間に接続され、 $L1$ が書込／読出アドレスとして供給され、 $L1$ のアドレスに制御電圧値 $A1$ が書込／読出自由に記憶される手段24とを具備し、 $L1$ により $A1$ を読み出し、この $A1$ を手段23を介してアンプ11に供給し、この時に手段16の出力誤差を先に読み出された記憶値 $A1$ として更新する制御を、手段14の出力誤差が0となるまで行うように構成する。

出願人 富士通株式会社

発明者 古川秀人
大石泰之
長谷和男
田島喜晴
福政英伸

I P C H03G 3/20

H03G 3/30



請求項 【特許請求の範囲】

【請求項1】

受信信号のレベルが一定となるようにゲインが制御されるA G Cアンプの出力信号レベルと基準値との誤差を減算手段により求め、該誤差にループ帯域を定める係数 μ を乗算し、この乗算後の誤差に同誤差を遅延したものを加算手段により加算し、この加算後の誤差をD/A変換手段により該ゲインを制御する制御電圧に変換して該A G Cアンプに供給するデジタル自動利得制御回路において、前記受信信号に対応する受信包絡線信号レベルをデジタル値に変換するA/D変換手段と、前記加算手段と前記D/A変換手段間に接続され、該デジタル値が書込/読出アドレスとして供給され、該デジタル値により指定されたアドレスに前記制御電圧となる値が書込/読出自由に記憶される記憶手段とを具備し、前記デジタル値により前記記憶手段の記憶値を読み出し、この記憶値を前記D/A変換手段を介して前記制御電圧として前記A G Cアンプに供給し、この供給時に前記加算手段から出力される誤差を先に読み出された記憶値として更新する制御を、前記減算手段から出力される誤差が0となるまで行うことを特徴とするデジタル自動利得制御回路。

【請求項2】

前記A G Cアンプの出力信号を復調手段によつて同相信号及び直交信号に変換し、この変換された同相信号及び直交信号を包絡線検出手段によつて包絡線信号に変換し、この変換された包絡線信号レベルと前記基準値との誤差を前記減算手段で求めるようにしたことを特徴とする請求項1記載のデジタル自動利得制御回路。

【請求項3】

前記デジタル値と前記記憶値との差を求め、この差を前記A G Cアンプの出力信号レベルの代わりに、前記減算手段へ入力するようにしたことを特徴とする請求項1記載のデジタル自動利得制御回路。

【請求項4】

前記記憶手段に、デュアルポートRAMを用いたことを特徴とする請求項1記載のデジタル自動利得制御回路。

【請求項5】

前記減算手段から出力される誤差が0となつた時点での前記記憶手段の記憶値が記憶された読み出し専用記憶手段を具備し、該記憶手段の代わりに該読み出し専用記憶手段の記憶値を用いて前記ゲインを制御するようにしたことを特徴とする請求項1記載のデジタル自動利得制御回路。